

ФЕДЕРАЛЬНОЕ АГЕНТСТВО
ЖЕЛЕЗНОДОРОЖНОГО ТРАНСПОРТА
Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Петербургский государственный
университет путей сообщения
Императора Александра I»
(ФГБОУ ВО ПГУПС)

Московский пр., д.9, Санкт-Петербург, 190031
Телефон: (812) 457-86-28, факс: (812) 315-26-21
E-mail: dou@pgups.edu, http://www.pgups.ru
ОКПО 01115840, ОГРН 1027810241502.
ИПН 7812009592/ КПП 783801001

УТВЕРЖДАЮ
Первый проректор-

Проректор по научной работе

д.т.н., профессор

Пятова Тамила Семеновна



« 28 » февраля 2019 г.

О Т З Ы В

ведущей организации федерального государственного бюджетного образовательного учреждения высшего образования «Петербургский государственный университет путей сообщения Императора Александра I» на диссертационную работу КУДИНА ДМИТРИЯ ВЛАДИМИРОВИЧА на тему «ПОВЫШЕНИЕ БЫСТРОДЕЙСТВИЯ ЛОГИЧЕСКИХ СХЕМ ЗА СЧЕТ ВЫЯВЛЕНИЯ ЛОЖНЫХ ПУТЕЙ И СИНТЕЗА СХЕМ, В КОТОРЫХ ЗАДЕРЖКИ КАЖДОГО ПУТИ ОБНАРУЖИМЫ», представленной на соискание ученой степени кандидата технических наук по специальности 05.13.01 – Системный анализ, управление и обработка информации (в отраслях информатики, вычислительной техники и автоматизации)

1. Актуальность темы исследования

В процессе создания современных интегральных схемах высокой производительности тестирование в рамках моделей одиночных константных неисправностей оказалось недостаточным, необходимо тестировать не предусмотренные разработчиками задержки схемы. Такие задержки возникают при высоких скоростях работы логических схем и высоком уровне их интеграции. Задержки обусловлены появлением дополнительных емкостей, сопротивлений, индуктивностей и других причин. В последние годы за рубежом разработаны различные модели неисправностей задержек логических схем, но основной из них, используемой на практике, является модель неисправностей задержек путей. Тестирование таких неисправностей обеспечивается существующими скан технологиями. В присутствии непредусмотренных

задержек схема работает медленнее, чем ожидается. В этом случае приходится либо с этим смириться, либо попытаться избавиться от непредусмотренных задержек. Такую возможность дает обнаружение робастно тестируемых неисправностей задержек путей. Если неисправность задержки пути робастно тестируемая, то путь, вызывающий задержку в схеме, однозначно определяется и, следовательно, в его окрестности можно искать причины непредусмотренной задержки. В случае проявления не робастно тестируемой неисправности задержки пути такой возможности нет, поскольку причиной проявления задержки может быть множество путей, не известно, каких именно. Однако в произвольной схеме далеко не каждый путь является робастно тестируемым, поэтому синтез схем, в которых задержка каждого пути обнаружима, является актуальной задачей контролепригодного проектирования. Будем иметь в виду, что определение скорости функционирования проектируемой схемы на основании информации о задержках ее линий и элементов затруднено из-за присутствия в высоко производительных логических схемах ложных путей. Путь считается ложным, если в процессе функционирования схемы изменение сигнала на ее входе, являющемся началом пути, не приводит к изменению сигнала на выходе схемы, являющемся концом этого пути. Доля ложных путей среди критических путей, по которым определяется расчетная задержка схемы, растет с ростом быстродействия схемы и может достигать, согласно зарубежным источникам, 80% от критических путей схемы. В качестве критических путей обычно рассматривают пути с большими задержками. Ложные пути необходимо находить и исключать из рассмотрения при определении быстродействия схемы. Однако, определение ложных путей - далеко не тривиальная проблема, особенно в схемах с памятью. В зарубежных публикациях, в основном, предлагаются эвристические алгоритмы, не гарантирующие нахождение ложного пути, если он существует. В диссертации разработан точный алгоритм нахождения ложного пути в комбинационной схеме, основанный на поиске тестовой пары для не робастно тестируемой неисправности задержки этого пути, и точный алгоритм нахождения ложного пути для схем с памятью в условиях ограничения на длину

последовательности, доставляющей тестовую пару. Из сказанного следует, что полученные в диссертации результаты, являются актуальными. Автор работы выявил классы комбинационных схем, в которых ложные пути отсутствуют. Эти схемы могут быть получены в рамках используемых в современных САПР методов синтеза без существенных аппаратных затрат. Полученные схемы могут считаться контролепригодными, поскольку не требуют сложного анализа, связанного с поиском ложных путей. Исследования, выполненные с целью получения таких схем, также являются актуальными.

2. Научная новизна основных результатов диссертации

В диссертационной работе впервые предложен точный алгоритм выявления ложных путей в схемах с памятью. Метод основан на компактном представлении всех тестовых наборов v_2 , присутствующих в тестовых парах (v_1, v_2) для не робастно тестируемых неисправностей задержек путей, в виде ROBDD графа. Получение этих наборов сведено к анализу И, ИЛИ деревьев, являющихся компактным представлением эквивалентной нормальной формы (ЭНФ) схемы и операциям над ROBDD графами, извлекаемыми из фрагментов комбинационной схемы. В схемах с памятью необходимо иметь все такие наборы, с тем, чтобы доставить из начального состояния тестовую пару, содержащую хотя бы один из этих наборов. Алгоритм нахождения отдельных тестовых наборов позволяет гарантированно обнаруживать ложные пути в схемах, не содержащих элементов памяти (комбинационных схемах).

Выявлены способы описания поведения комбинационных схем и соответствующие им методы синтеза, позволяющие получать схемы, в которых отсутствуют ложные пути. Способы описания и методы синтеза ориентированы на возможности современных САПР.

Предложен метод синтеза комбинационной схемы (комбинационной составляющей схемы с памятью), гарантирующий обнаружение задержки каждого ее пути. Разработан алгоритм получения тестовых пар и предложен порядок их поступления на входы схемы, обеспечивающий обнаружение

задержки каждого из предъявленных путей. Алгоритм получения тестовой пары характеризуется полиномиальной сложностью и сводится к перемножению ROBDD графов для фрагментов комбинационной схемы (для фрагментов комбинационной составляющей схемы с памятью). В схемах с памятью поступление наборов тестовой пары обеспечивается различными технологиями сканирования. Достижение контролепригодных свойств не связано с введением в схему дополнительного входа, как это предлагается в зарубежных публикациях.

3. Структура диссертации

Диссертация состоит из введения, 4-х глав, заключения и приложения и содержит 106 страниц.

В **первой главе** даются некоторые определения из области тестирования логических схем и их контролепригодного проектирования. Далее приводится обзор основных публикаций по тестированию неисправностей задержек путей и определению ложных путей. Отмечается, что рассматриваемые алгоритмы не гарантируют нахождение ложных путей в случае их существования.

Во **второй главе** описаны алгоритмы выявления ложных путей в комбинационной схеме и схеме с памятью. Они основаны на поиске тестовых пар, обнаруживающих не робастно тестируемую неисправность задержки исследуемого пути. Для комбинационных схем при таком подходе достаточно находить наборы v_2 тестовых пар, в то время как для схем с памятью необходимо гарантировать доставку хотя бы одной тестовой пары из начального состояния схемы в условиях ограничения на длину доставляющих последовательностей. В случае комбинационной схемы задача выяснения, является ли предъявленный путь ложным, сводится к поиску тестового набора, обнаруживающего одну из константных неисправностей литеры ЭНФ схемы, сопоставляемой рассматриваемому пути. Предлагается при поиске тестового набора использовать более компактное представление ЭНФ в виде И, ИЛИ дерева. Анализ дерева совместно с операциями над ROBDD графами, извлекаемыми из

фрагментов схемы, позволяет находить как отдельные тестовые наборы, так и все их множество. Множество тестовых наборов представляется двумя ROBDD-графами, отдельный граф для неисправности константа 0 литеры и неисправности константа 1. Эти графы используются по очереди для выявления существования последовательности, доставляющей хотя бы одну тестовую пару из начального состояния схемы в условиях ограничения на длину последовательности.

Третья глава посвящена исследованию возможностей синтеза комбинационных схем, в которых отсутствуют ложные пути. Оказалось, что в рамках современных САПР можно получать схемы, не содержащие ложных путей. Для этого можно воспользоваться методом синтеза деления ДНФ и скорректированным двух уровневый методом синтеза при условии, что задание на синтез представлено избыточной системой ДНФ. В этой главе показано также, что, схемы полученные покрытием внутренних вершин системы ROBDD графов Invert-AND-OR подсхемами, не содержат ложных путей.

В четвертой главе представлен метод синтеза комбинационных схем, обеспечивающий обнаружение задержки каждого пути схемы в условиях соблюдения порядка поступления тестовых пар на схему. Метод основан на покрытии внутренних вершин системы ROBDD графов Invert-AND-XOR подсхемами. Разработан алгоритм получения тестовых пар для путей построенной схемы, характеризующийся полиномиальной сложностью. В отличие от результатов, полученных за рубежом для схем, использующих задание на синтез в виде тех же систем ROBDD графов, предложенный метод не требует введения в схему дополнительного входа. Последнее весьма нежелательно, так как комбинационные схемы являются, как правило, частью сложных дискретных устройств, и введение дополнительных входов требует дополнительных линий, а, возможно, и контактных площадок. В заключительной части главы приведен пример синтеза контролепригодной схемы, в которой задержки каждого пути обнаружимы. Схема является реализацией управляющего устройства ветроэнергетической установки.

4. Соответствие темы диссертации паспорту специальности

Материалы представленной работы соответствует паспорту специальности 05.13.01 – Системный анализ, управление и обработка информации (в отраслях информатики, вычислительной техники и автоматизации), технические науки, и включает в себя оригинальные результаты из следующих областей исследования:

- 1) «Теоретические основы и методы системного анализа и обработки информации»,
- 2) «Разработка методов и алгоритмов решения задач системного анализа, оптимизации, управления, принятия решений и обработки информации.

Работа оформлена согласно требованиям ГОСТ Р 7.0.11-2011. Содержание автореферата отражает основные положения, выносимые на защиту, и соответствует представленной диссертации. Автореферат диссертации выполнен в соответствии с требованиями Положения ВАК РФ.

5. Степень обоснованности и достоверность основных научных результатов, выводов и рекомендаций

Научные результаты и рекомендации диссертации автором обоснованы и являются достоверными. В диссертации приводятся доказательства теорем, сформулированных для обоснования разработанных автором алгоритмов. Метод синтеза логических схем, в которых задержки каждого пути обнаружимы, опробован при разработке управляющего устройства ветроэнергетической установкой, используемой в районе крайнего севера, а также при синтезе контролепригодных схем для построения управляющих схем геофизической измерительной системы сбора данных. Проведены компьютерные эксперименты на логических схемах LGSynth'89, LGSynth'91, MCNC Benchmarks, разработанных в университетах США, для оценки эффективности предложенных в работе алгоритмов.

6. Практическая ценность результатов и выводов

Разработанные алгоритмы могут быть применены для построения контролепригодных схем. Контролепригодная схема (в ней задержка каждого пути обнаружима и отсутствуют ложные пути), представленная в работе, задействована в системе управления ветроэнергетической установкой, используемой в районе крайнего севера. Метод синтеза контролепригодных схем, предложенный в работе, применен также для построения управляющих схем геофизической измерительной системы сбора данных

7. Полнота изложения материалов исследования

Результаты диссертации полностью отражены в опубликованных работах. Автором диссертации опубликовано 9 печатных работ, 5 включены в Перечень ВАК РФ

8. Замечания и недостатки работы

1. Можно ли расширить класс комбинационных и последовательностных схем, в которых ложные пути отсутствуют?

2. Почему нельзя воспользоваться Invert-And-OR подсхемами для покрытия вершин системы ROBDD-графов?

3. Каковы аппаратные затраты, связанные с обеспечением контролепригодных свойств схем?

4. В тексте работы встречаются некорректные фразы, например, на стр.46.

Указанные замечания не снижают ценности работы в целом.

Диссертация Кудина Дмитрия Владимировича, выполненная на тему «Повышение быстродействия логических схем за счет выявления ложных путей и синтеза схем, в которых задержки каждого пути обнаружимы», содержит новые результаты в области теории контролепригодного проектирования логических устройств, и анализа ложных путей, впервые разработан точный алгоритм анализа ложных путей в схемах с памятью, является законченной научно-

квалификационной работой. По содержанию и научному уровню работа соответствует всем требованиям «Положения о присуждении ученых степеней», утвержденного Постановлением Правительства РФ от 24 сентября 2013 г., №842, а ее автор, Кудин Дмитрий Владимирович, заслуживает присуждения ученой степени кандидата технических наук по специальности 05.13.01 – Системный анализ, управление и обработка информации (в отраслях информатики, вычислительной техники и автоматизации)

Отзыв рассмотрен и одобрен на заседании кафедры «Автоматика и телемеханика на железных дорогах» ФГБОУ ВО ПГУПС 19 февраля 2019, протокол № 6.

Заведующий кафедры

«Автоматика и телемеханика на
железных дорогах» ФГБОУ ВО ПГУПС

д.т.н., профессор



Никитин Александр Борисович

Профессор кафедры

«Автоматика и телемеханика на
железных дорогах» ФГБОУ ВО ПГУПС

д.т.н., профессор



Сапожников Валерий Владимирович