



1918

TALLINNA TEHNIKAÜLIKOOL

ARVUTITEHNIKA INSTITUUT

## Отзыв

на автореферат диссертации Кудина Дмитрия Владимировича

**«ПОВЫШЕНИЕ БЫСТРОДЕЙСТВИЯ ЛОГИЧЕСКИХ СХЕМ  
ЗА СЧЕТ ВЫЯВЛЕНИЯ ЛОЖНЫХ ПУТЕЙ И СИНТЕЗА СХЕМ,  
В КОТОРЫХ ЗАДЕРЖКИ КАЖДОГО ПУТИ ОБНАРУЖИМЫ»**,

представленной на соискание ученой степени кандидата технических наук по специальности  
05.13.01 – Системный анализ, управление и обработка информации  
(в отраслях информатики, вычислительной техники и автоматизации)

Современные интегральные схемы отличает высокое быстродействие, высокий уровень интеграции и низкий уровень напряжения питания. Повышение быстродействия было и остается актуальной проблемой производства и использования интегральных схем. Одним из препятствий в решении этой проблемы является возникновение непредусмотренных проектировщиком задержек, вызванных различными физическими явлениями, возникающими при переходе к схемам высокого уровня производительности. Кроме того, с ростом уровня интеграции в рассматриваемых схемах растет доля так называемых ложных путей среди критических путей (путей, характеризующихся наибольшими задержками проходящих через них сигналов.). Такие пути необходимо обнаруживать и исключать из рассмотрения при определении возможной скорости функционирования схемы. Однако, обнаружение ложных путей, особенно в схемах с памятью, далеко не тривиальная задача. В зарубежных публикациях, как правило, разрабатываются приближенные методы, не гарантирующие обнаружение ложного пути, если он таковым является.

В данной работе предлагаются точные алгоритмы, как для комбинационных схем, так и для синхронных схем с памятью. В последнем случае задача решается в условиях ограничения на длину последовательности, доставляющей тестовую пару для не робастно тестируемой неисправности задержки рассматриваемого пути. Выявлены способы задания на синтез комбинационных схем и методы синтеза, в основном используемые в рамках существующих САПР, позволяющие получать комбинационные схемы, в которых ложные пути отсутствуют. Такие схемы являются контролепригодными, поскольку их использование избавляет нас от необходимости сложной процедуры выявления в них ложных путей. Из сказанного следует, что результаты, представленные во второй и третьей главах работы, являются актуальными и свидетельствуют о существенном продвижении автора в решении исследуемой проблемы.

Присутствие непредусмотренных задержек приводит к снижению быстродействия схемы по сравнению с расчетным временем, что весьма нежелательно. Следует иметь в виду, что важен не только сам факт обнаружения задержек, но и пути, на которых эти задержки проявляются. Будем иметь в виду, что задержки некоторых из исследуемых путей могут оказаться не робастно тестируемыми. В этой ситуации невозможно точно указать, на каком из путей схемы реально действует задержка, и, следовательно, коррекция схемы с целью устранения задержки не возможна. В случае обнаружения задержки робастно тестируемого пути мы точно знаем, что она вызвана проблемами именно в окрестности этого пути. Разработчик в этой ситуации может попытаться избавиться от задержки, что часто делается, и в результате повысить быстродействие создаваемой схемы. Вот почему так важно иметь схемы, в которых задержка каждого пути обнаружима. К сожалению, многие пути в схеме не являются робастно тестируемыми.

В диссертационной работе (в четвертой главе) предложен метод синтеза комбинационной схемы покрытием вершин системы ROBDD графов Invert-AND-XOR подсхемами и показано, что в полученной схеме задержка каждого пути обнаружима при условии, что соблюдается определенный порядок доставки тестовых пар. В отличие от зарубежных подходов к достижению аналогичных по свойствам схем,

Raja 15  
12618 Tallinn

Telefon +372 6202252  
Faks +372 6202253

raiub@pld.ttu.ee  
www.ttu.ee

основанных на покрытии внутренних вершин системы ROBDD Invert-AND-XOR подсхемами, в методе, предложенном автором диссертации, не требуется введение дополнительного входа. Введение дополнительного входа очень не желательно, поскольку комбинационные схемы могут быть внутренними фрагментами сложных дискретных устройств, и доставка сигнала к дополнительным входам потребует дополнительного оборудования.

Новым в работе является следующее.

Разработаны точные алгоритмы выявления ложных путей в логических схемах, основанные на проверке не робастной тестируемости путей, которые находятся под подозрением оказаться ложными. Для комбинационных схем разработан алгоритм определения, является ли данный путь ложным, базирующийся на применении операций над ROBDD графами и анализе И, ИЛИ деревьев. Подход, лежащий в основе этого алгоритма, затем применяется для разработки алгоритма аналогичной проверки предъявленного пути в синхронной схеме с памятью.

В схемах с памятью приходится решать проблему доставки соответствующей тестовой пары из начального состояния схемы с памятью в условиях заданного ограничения на длину последовательности. В диссертации сформулированы достаточные условия для описания поведения комбинационной схемы и выбора методов синтеза, гарантирующие отсутствие ложных путей в создаваемых схемах.

В диссертационной работе Кудина Д.В. разработан метод синтеза комбинационных схем, основанный на покрытии вершин системы ROBDD графов Invert-AND-XOR подсхемами. Доказывается, что в полученной схеме задержка каждого пути обнаружима при соблюдении определенного порядка доставки тестовых пар на входы схемы. В синтезированных схемах отсутствуют ложные пути. В пятой главе приведен пример практического использования метода контролепригодного синтеза при разработке управляющего устройства ветроэнергетической установки.

Разработанные алгоритмы могут быть использованы в рамках современных САПР для синтеза схем с высоким уровнем контролепригодности.

Работа хорошо написана, ее результаты полностью опубликованы.

В качестве недостатка можно отметить, что в автореферате не сказано о сложности получаемых при синтезе контролепригодных схем по сравнению со схемами, полученными покрытием вершин ROBDD-графов Invert-AND-OR подсхемами.

Этот недостаток не снижает ценности работы в целом.

**Диссертационная работа Кудина Д.В. по содержанию, научному уровню и завершенности исследования соответствует всем требованиям «Положения о присуждении ученых степеней», утвержденного Постановлением Правительства РФ от 24 сентября 2013 г., №842, а ее автор, Кудин Дмитрий Владимирович, заслуживает присуждения ученой степени кандидата технических наук по специальности 05.13.01–Системный анализ, управление и обработка информации (в отраслях информатики, вычислительной техники и автоматизации).**

Проф., д.т.н. Раймунд Раймундович Убар,  
Академик Эстонской Академии Наук

Таллинский Технический Университет  
Институт Компьютерных Систем  
Академия тез 15А  
12618 Таллин  
Эстония



Таллин, 25.02.2019