

Отзыв на автореферат диссертации Кудина Дмитрия Владимировича
«ПОВЫШЕНИЕ БЫСТРОДЕЙСТВИЯ ЛОГИЧЕСКИХ СХЕМ
ЗА СЧЕТ ВЫЯВЛЕНИЯ ЛОЖНЫХ ПУТЕЙ И СИНТЕЗА СХЕМ,
В КОТОРЫХ ЗАДЕРЖКИ КАЖДОГО ПУТИ ОБНАРУЖИМЫ»,
представленной на соискание ученой степени кандидата технических наук по
специальности

05.13.01 – Системный анализ, управление и обработка информации
(в отраслях информатики, вычислительной техники и автоматизации)

С ростом уровня интеграции и быстродействия логических схем возникают новые проблемы в области их тестирования и контролепригодного проектирования. В частности, речь идет о необходимости тестирования непредусмотренных задержек схемы. Проблема тестирования таких задержек возникает в связи с появлением непредсказуемых емкостей, индуктивностей, сопротивлений из-за близости элементов схемы и высоких скоростей функционирования. В результате схема работает в целом медленнее, чем предусмотрено ее разработчиком. Необходимо выявлять непредусмотренные задержки, чтобы определить реальное быстродействие схемы. С этой целью разработаны различные модели неисправностей и алгоритмы тестирования схем в рамках этих моделей. Наиболее приемлемой на практике оказалась модель неисправностей задержек путей. Однако тестирование схем с использованием методов сканирования в рамках этой модели позволяет обнаруживать только около 20% задержек путей. Более того, можно гарантированно обнаружить задержку далеко не каждого пути в произвольной схеме, даже если прибегать к более качественному тестированию по сравнению с технологиями сканирования. Это связано с тем, что не все пути в произвольной логической схеме являются робастно тестируемыми. В связи с этим синтез схем, в которых задержка каждого пути обнаружима, является актуальной проблемой. Ее решению посвящена одна из глав диссертационной работы.

Быстродействие логической схемы, как известно, оценивается при проектировании схемы на основе выделения ее критических путей, то есть путей с наибольшими задержками. Однако среди этих путей могут оказаться так называемые ложные пути. Для таких путей изменение сигнала на входе схемы, сопоставляемом этим путям, не приводит к изменению сигнала на соответствующем пути на выходе схемы. С ростом уровня интеграции схем доля ложных путей среди критических растет и может достигать 80%. Задержки таких путей не влияют на быстродействие схемы и потому их желательно исключать из рассмотрения. Однако выявление ложных путей - одна из сложных проблем. В основном развиваются и используются приближенные методы ее решения, не гарантирующие нахождение каждого ложного пути. В работе предлагаются алгоритмы выявления ложных путей, гарантирующие нахождение ложных путей в комбинационных схемах и схемах с памятью. Исследование и решение этой проблемы являются, несомненно, актуальными. Кроме того, автор выделяет классы комбинационных схем, в которых ложные пути отсутствуют. Построение схем с таким свойством в рамках существующих САПР избавляет от необходимости исследовать критические пути на принадлежность к ложным путям, что также важно.

Научная новизна диссертационной работы заключается в разработке точных алгоритмов выявления ложных путей в логических схемах, основанных на проверке не робастности тестируемости пути. Для комбинационных схем предложен алгоритм определения, является ли данный путь ложным, использующий операции над ROBDD графами и анализ И-, ИЛИ-деревьев. Идеи, лежащие в основе этого алгоритма, затем

используются для разработки алгоритма аналогичной проверки предъявленного пути в синхронной схеме с памятью. В этом случае приходится дополнительно решать проблему доставки соответствующей тестовой пары из начального состояния схемы с памятью в условиях заданного ограничения на длину последовательности. Кроме того, в работе сформулированы достаточные условия для описания поведения комбинационной схемы и выбора методов синтеза, гарантирующие отсутствие ложных путей в создаваемых схемах. Получаемые схемы являются контролепригодными, так как не требуют анализа схем на наличие в них ложных путей. В диссертационной работе Кудина Д.В. предложен метод синтеза комбинационных схем, основанный на покрытии вершин системы ROBDD-графов Invert-AND-XOR подсхемами. Доказано, что в полученной схеме задержка каждого пути обнаружима при соблюдении определенного порядка доставки тестовых пар на входы схемы. В получаемых схемах отсутствуют ложные пути. В отличие от зарубежных подходов к получению аналогичных по свойствам схем по системе ROBDD-графов, в методе, предложенном автором диссертации, не требуется введение дополнительного входа.

Предложенные в работе алгоритмы могут быть применены в рамках существующих САПР для синтеза схем с высоким уровнем контролепригодности.

Автореферат написан хорошим языком, результаты диссертации достаточно полно отражены в публикациях.

Знакомство с авторефератом и публикациями автора диссертации дает основание сделать вывод, что полученные в диссертации научные результаты заслуживают высокой оценки.

В качестве недостатка можно отметить, что в автореферате ничего не сказано о сравнении сложности получаемых при синтезе контролепригодных схем методами автора диссертации со схемами, синтезируемыми в рамках современных САПР. Однако этот недостаток не снижает ценности работы Кудина Д.В., которая в целом производит очень хорошее впечатление.

Диссертационная работа Кудина Д.В. по содержанию, научному уровню и завершенности исследования соответствует всем требованиям «Положения о присуждении ученых степеней», утвержденного Постановлением Правительства РФ от 24 сентября 2013 г., №842, а ее автор, Кудин Дмитрий Владимирович, заслуживает присуждения ученой степени кандидата технических наук по специальности 05.13.01–Системный анализ, управление и обработка информации (в отраслях информатики, вычислительной техники и автоматизации).

Профессор кафедры «Железнодорожная автоматика, телемеханика и связь» РОАТ Российского университета транспорта (МИИТ) доктор технических наук, профессор

Д.В. Сперанский

Содержание *Д.В. Сперанский завершил*



Сведения об организации:

федеральное государственное бюджетное образовательное учреждение высшего образования «Российский университет транспорта (МИИТ)»

109012, Москва, ул. Рождественка, д. 1, стр. 1

Телефон: +7 (499) 495-00-00

E-mail: info@mintrans.ru

Сайт: www.mintrans.ru

Автор отзыва:

доктор технических наук (05.13.01 – Системный анализ, управление и обработка информации), профессор Сперанский Дмитрий Васильевич